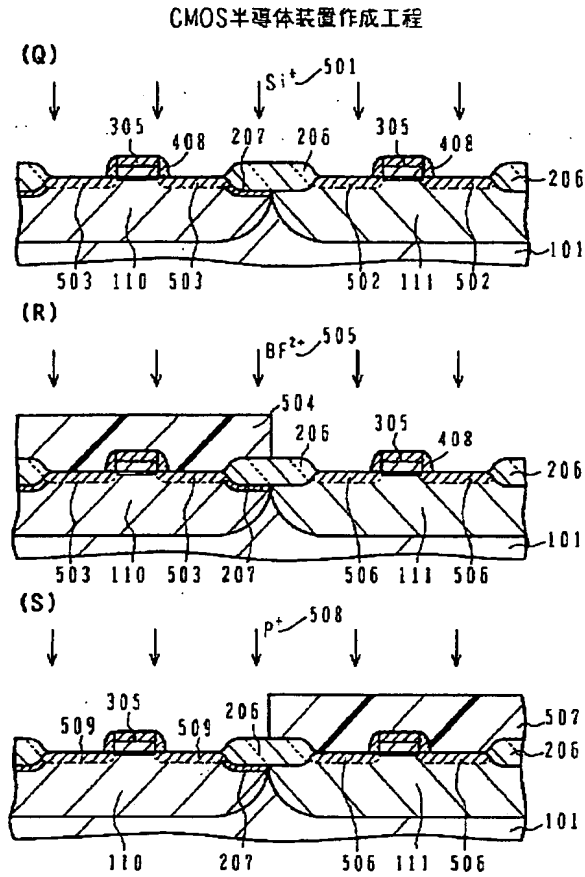
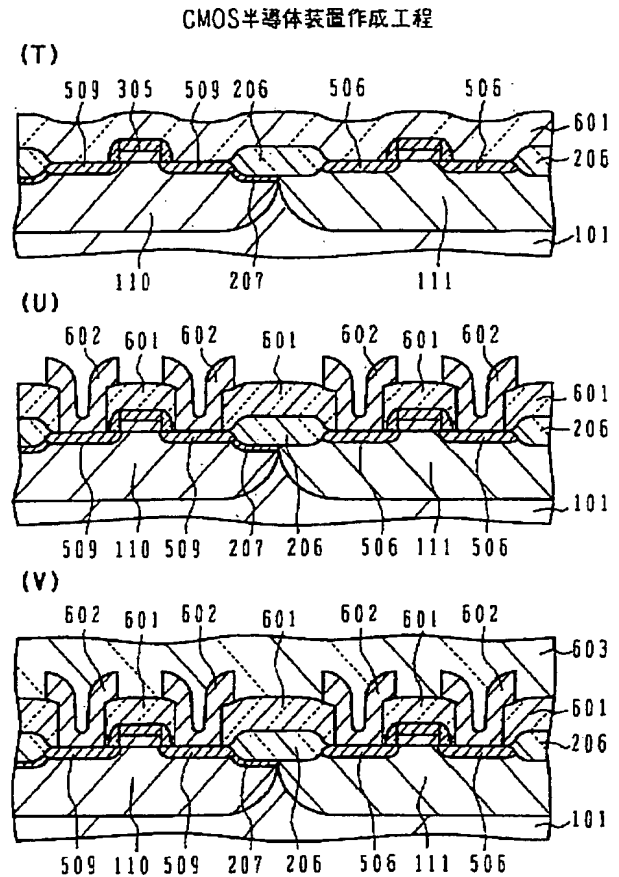


【図16】



【図17】



フロントページの続き

(51)Int. Cl.⁶

H O 1 L 21/324
21/8238
27/092

識別記号

庁内整理番号

Z

F I

技術表示箇所

H O 1 L 21/265

U

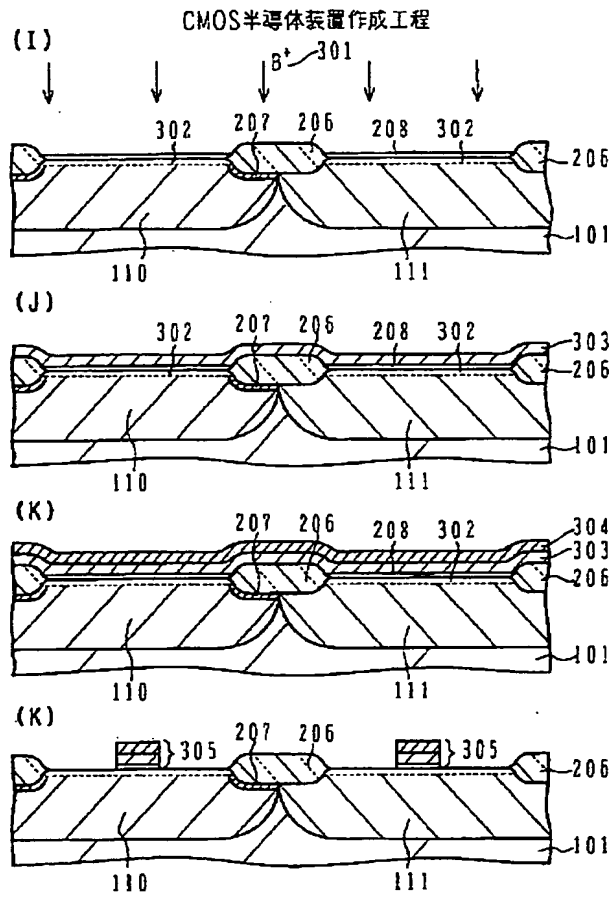
V

27/08

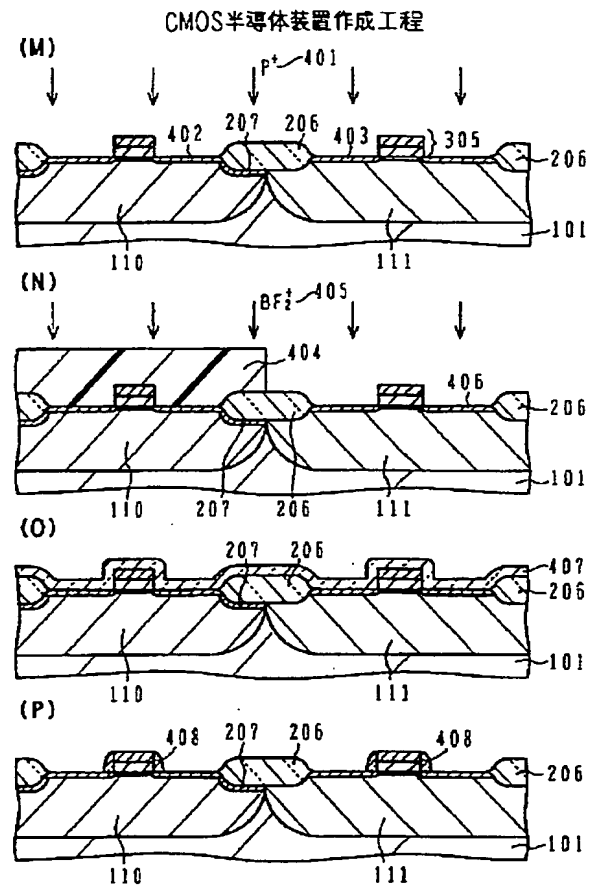
3 2 1

E

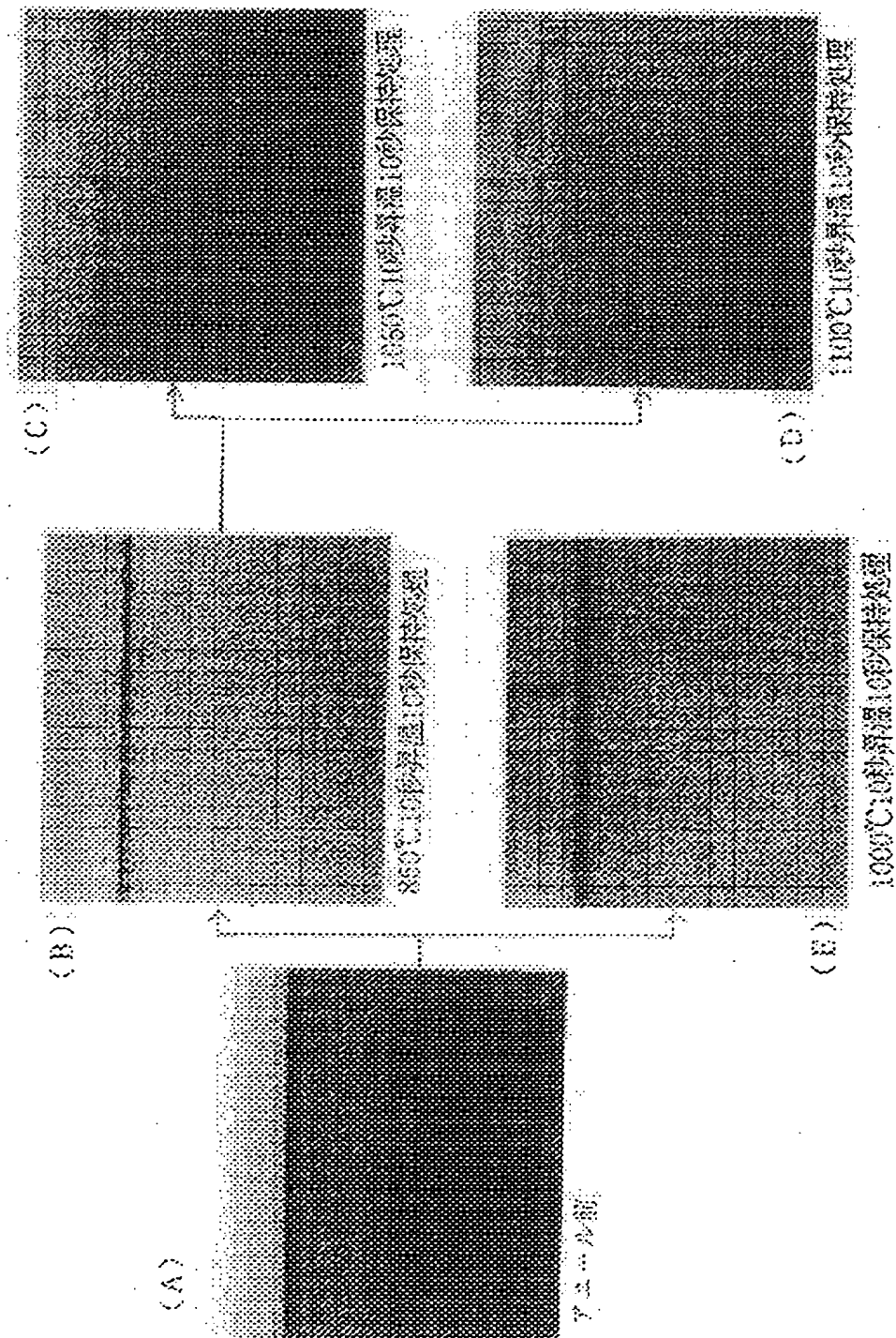
【図14】



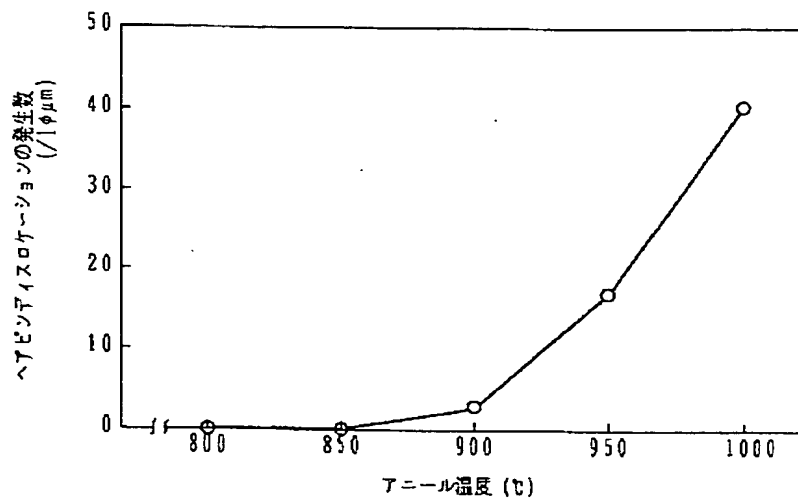
【図15】



【図 1 1】

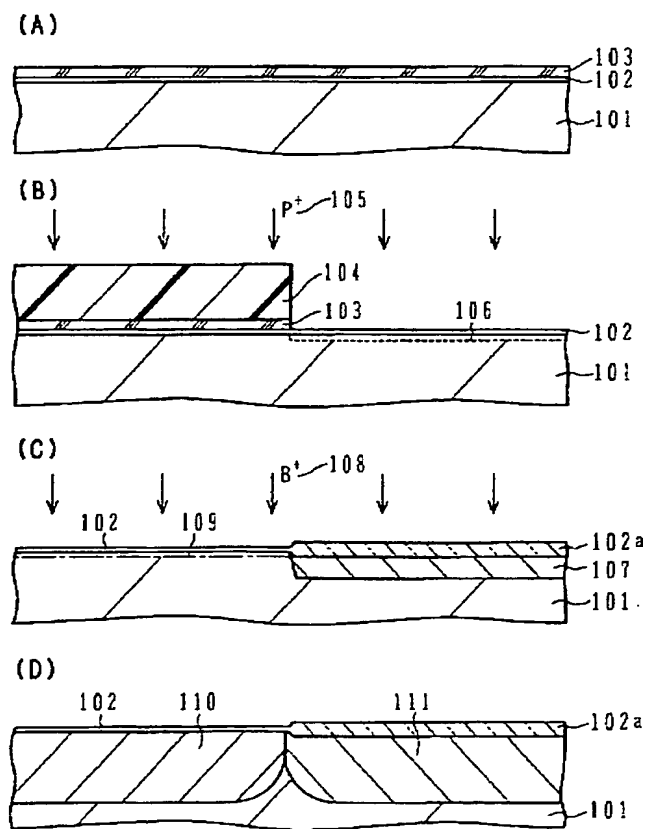


【図 10】



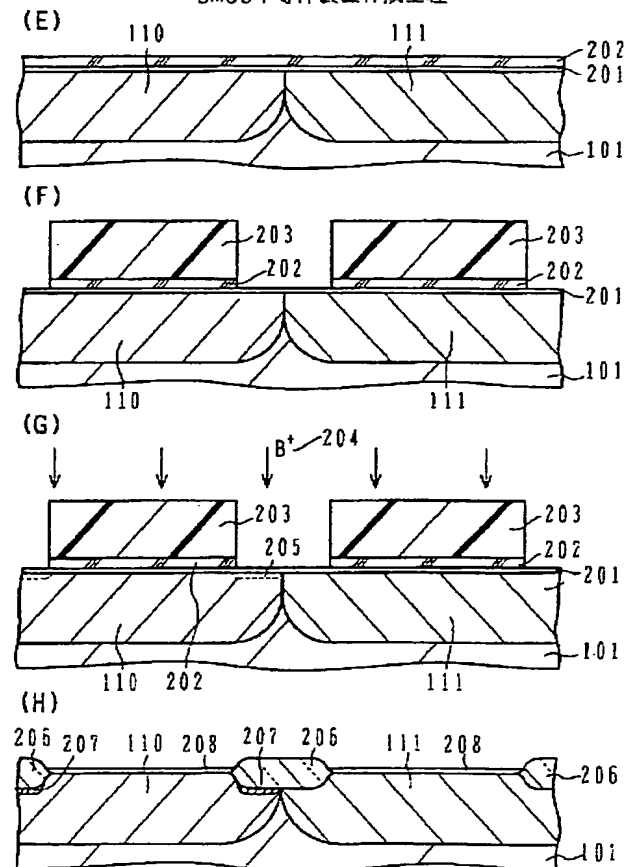
【図 12】

CMOS半導体装置作成工程

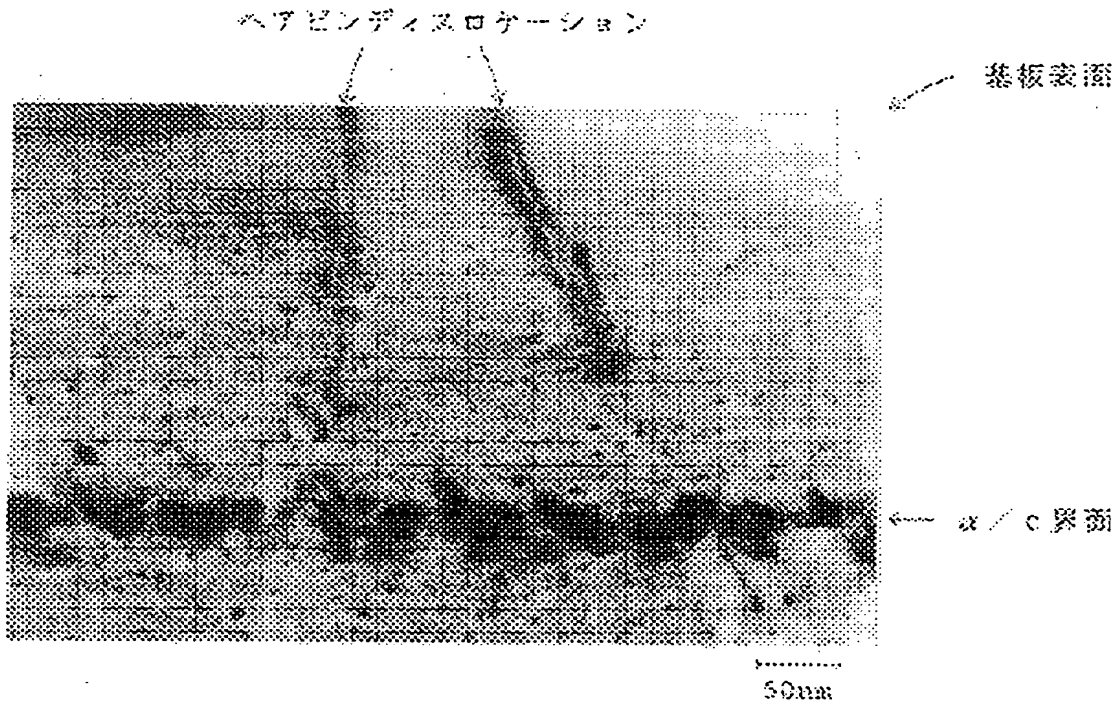


【図 13】

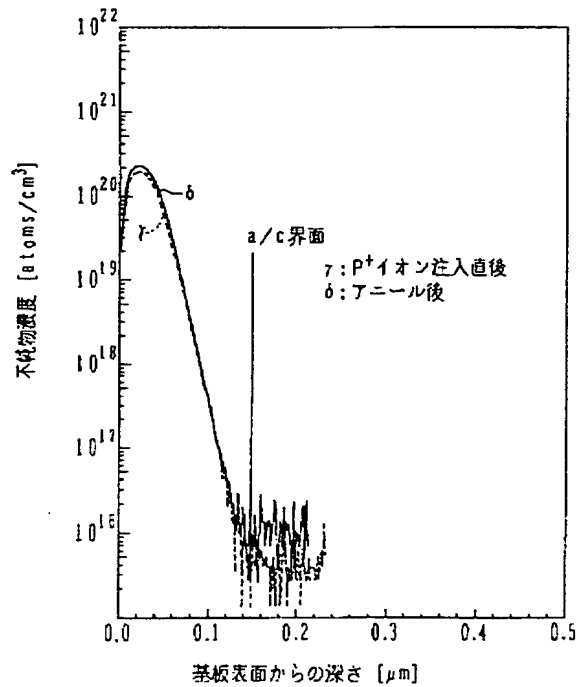
CMOS半導体装置作成工程



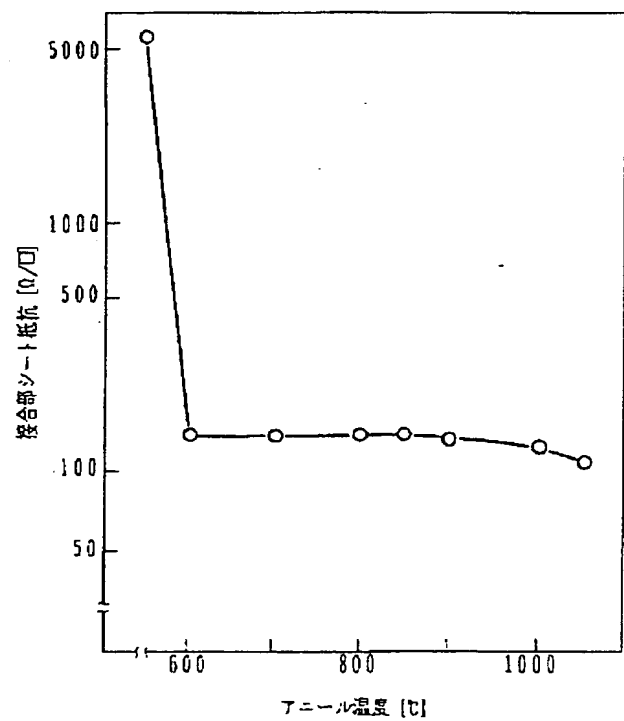
【図 5】



【図 8】

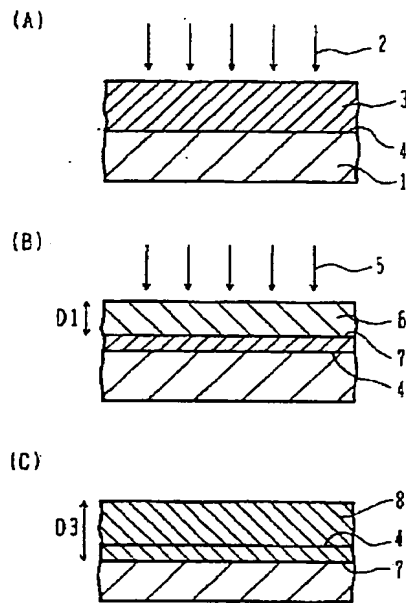


【図 9】



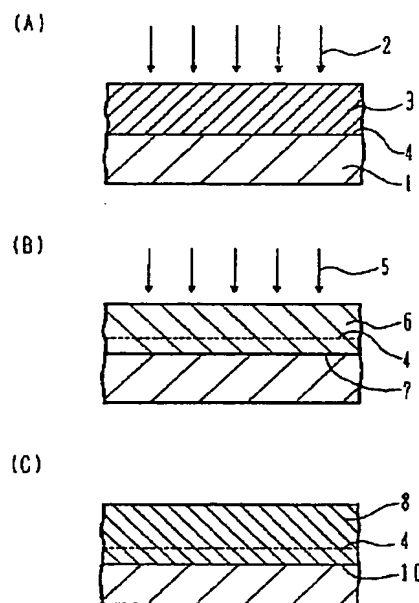
【図 1】

接合形成工程

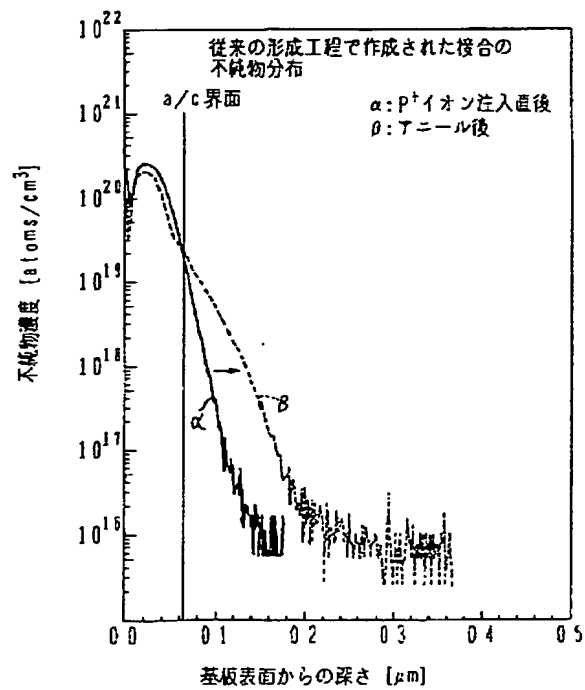


【図 3】

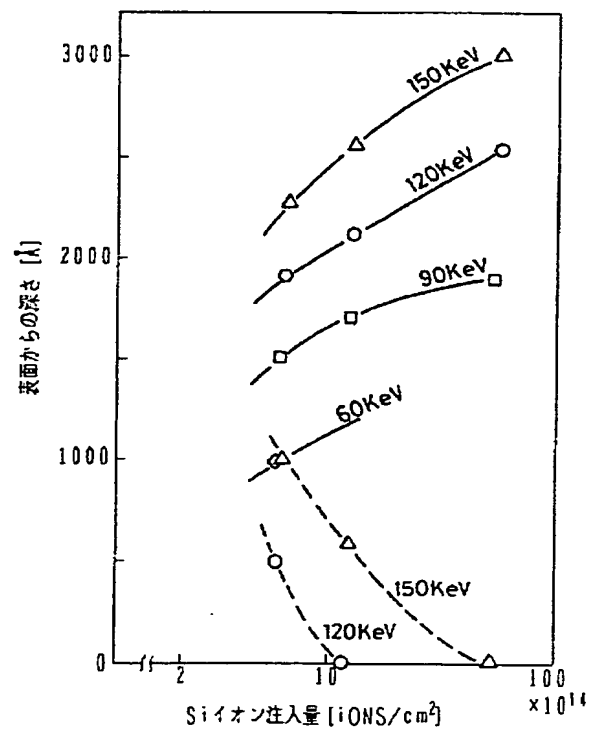
従来の接合形成工程



【図 4】



【図 7】



【0112】また、不純物の注入後のアニール温度を最適化することで、接合部の結晶層における欠陥の発生と残留を抑制することができる。

【図面の簡単な説明】

【図1】本発明の実施例による接合部の形成工程を示す断面図である。

【図2】nチャンネルトランジスタ素子の構造を示す断面図である。

【図3】従来の接合部の形成工程を示す断面図である。

【図4】従来の形成工程で作成した接合部における不純物分布を示す図である。

【図5】従来の形成方法で作成した接合部の断面の結晶構造を示す写真である。

【図6】本発明の実施例による形成工程における接合部の不純物分布を示す図である。

【図7】イオン注入条件と、イオン注入深さの関係を示すグラフである。

【図8】本発明の実施例による形成工程で作成した接合部における不純物分布を示す図である。

【図9】アニール温度と接合部のシート抵抗の関係を示すグラフである。

【図10】アニール温度とヘアピンディスロケーションの発生数との関係を示すグラフである。

【図11】種々のアニール条件で形成した接合部の断面の結晶構造を示す写真である。

【図12】本発明の実施例によるCMOS半導体装置の作成工程を示す断面図である。

【図13】本発明の実施例によるCMOS半導体装置の作成工程を示す断面図である。

【図14】本発明の実施例によるCMOS半導体装置の作成工程を示す断面図である。

【図15】本発明の実施例によるCMOS半導体装置の作成工程を示す断面図である。

【図16】本発明の実施例によるCMOS半導体装置の作成工程を示す断面図である。

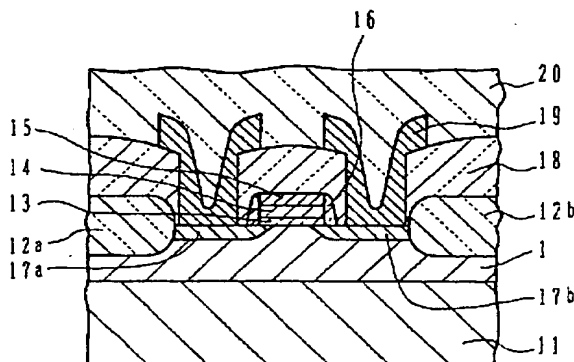
【図17】本発明の実施例によるCMOS半導体装置の作成工程を示す断面図である。

【符号の説明】

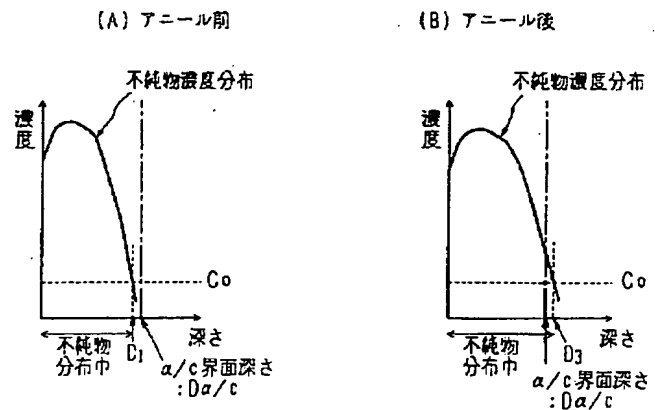
1・・・p型ウェル層、2・・・導電性に寄与しないイオン、3・・・非晶質層、4・・・a/c界面、5・・・導電性を付与するイオン、6・・・イオン注入層、7・・・イオン注入層の底面(p-n接合)、8・・・不純物拡散層、11・・・Si基板、12a、12b・・・フィールド酸化膜、13・・・ゲート酸化膜、14・・・多結晶Si膜、15・・・WSi膜、16・・・サイドスペーサ、17a、17b・・・不純物拡散層、18・・・層間絶縁膜、19・・・配線、20・・・パッシベーション膜、101・・・基板、102・・・SiO₂膜、103・・・SiN_x膜、110・・・p型ウェル、107、111・・・n型ウェル、201・・・SiO₂膜、202・・・SiN_x膜、206・・・フィールド酸化膜、208・・・SiO₂膜、303・・・多結晶Si膜、304・・・WSi膜、305・・・ゲート電極、407・・・SiO₂膜、408・・・サイドスペーサ、601・・・層間絶縁膜、602・・・配線、603・・・パッシベーション膜、105、108、204、301、401、405、501、505、508・・・イオン、104、203、404、504、507・・・レジストマスク、106、109、205、302、402、403、406、502、503、506、509・・・イオン注入層、207・・・チャンネルストップ層。

【図2】

nチャンネルトランジスタ素子



【図6】



3より浅く形成されている。その後レジストマスク507を除去する。

【0097】次にRTA装置を用いて、基板を850℃まで10秒で昇温し、850℃で10秒保持する。このアニール処理により、非晶質層502、503は再結晶化し、イオン注入層506、509の不純物は活性化され、それぞれpチャンネル、nチャンネルのソース/ドレイン領域となる。この状態ではa/c界面はソース/ドレイン領域の外にある。ソース/ドレイン領域をさらにドライブインするアニール工程は、再結晶化アニール後に別条件で連続しておこなってもよいし、再結晶化アニール時間を延長することでドライブアニールとすることもできるが、本実施例では、層間絶縁膜を形成後におこなうこととする。

【0098】図17(T)に示すように、基板全面に層間絶縁膜601を形成する。常圧CVDを用い、膜厚約100nmのPSG膜(フォスフォシリケートガラス)と膜厚約600nmのBPSG膜(ボロンフォスフォシリケートガラス)の二層膜からなる層間絶縁膜601を形成する。

【0099】この後、1050℃まで10秒で昇温し、1050℃で10秒保持する熱処理を行う。ソース/ドレイン層をさらに拡散させてその内部にa/c界面を取り込む。層間絶縁膜を形成した後のアニールは、接合部の積層欠陥を消滅させるとともに、層間絶縁膜の膜質改善を行う効果も持つ。具体的には、層間絶縁膜を軟化流動させることで層間絶縁膜表面の平坦性を改善できる。又、層間絶縁膜中の水分を蒸散させることで、水分によるトランジスタの特性劣化(しきい電圧の変動等)を抑制できる。また、P⁺イオン注入後に、層間絶縁膜を形成し、この後に再結晶化アニールとドライブインアニールを行うことも可能である。この場合、層間絶縁膜は、例えば600℃以下の温度で堆積する。

【0100】この後、レジストを全面に塗布し、露光、現像によりコンタクトホールに対応する開口を有するレジストマスクを形成する。このレジストマスクをエッチングマスクとして、層間絶縁膜を選択的にエッチングし、配線形成のためのコンタクトホールを形成する。レジスト膜は除去する。

【0101】次に基板全面にスパッタリング法にて、WSi等のバリアメタルを膜厚約50nm形成する。続いてこのWSi膜上にAl-Si-Cuの3組成よりなるAl合金膜をスパッタリング法で約800nm程度形成する。

【0102】基板全面にレジストを塗布し、露光、現像により電極/配線パターンを有するレジストマスクを形成する。このレジストマスクをエッチングマスクとし、WSi膜とAl合金膜をエッチングし、図17(U)に示すような所望の配線602を形成する。

【0103】さらに、図17(V)に示すように、基板

全面にパッシベーション膜603を形成する。パッシベーション膜は、プラズマCVD法により各500nmの厚さのPSG膜とSiN_x膜とを連続的に堆積して形成する。

【0104】基板全面にレジストを塗布し、露光、現像によりボンディングパッド、スクライブライン等に対応する開口を有するレジストマスクを形成する。このレジストマスクをエッチングマスクとして、パッシベーション膜をエッチングし、配線引出しのためのボンディングパッド用窓開け等を行う。

【0105】最後に、水素雰囲気中で400℃30分程基板をアニールし、各種工程でのダメージによりゲート酸化膜中に発生した電荷を中和する。上記製造方法を用いることにより、最終的に接合の深さ0.15μmのpチャンネルトランジスタ、nチャンネルトランジスタの浅いソース/ドレイン接合を得ることができる。

【0106】以上、一連のCMOS半導体装置の作成工程について説明したが、上記した以外の材料や、装置の選択も可能である。例えば、非晶質層形成のためのイオン注入に用いるイオン種は、上記したSi以外にも電気伝導に寄与しないイオンを用いることも可能である。この場合原子数の大きなイオンを選択することが、イオン注入時の侵入深さを抑制する意味から望ましい。Siより大きい原子数16以上の元素を用いることができる。また、例えばGe、C、N、F、Cl、Ne、Ar等のイオンを選択することもできる。

【0107】また、導電性付与のイオン注入に用いるイオン種は、上記したB⁺、BF₂⁺、P⁺以外にも、As⁺やSb⁺等、および、これらの化合物イオン等を用いることもできる。

【0108】さらに、実施例では不純物活性化および非晶質層の再結晶化のためのアニールは、短時間処理が可能なRTA装置を用いているが、加熱の手段は、レーザ加熱装置や抵抗加熱炉を用いても同じ効果を得ることができるであろう。

【0109】ここでは、nチャンネルMOSトランジスタとpチャンネルMOSトランジスタを含むCMOS ICへの応用について記載したが、nチャンネルMOSトランジスタのみを含むNMOS IC、pチャンネルMOSトランジスタのみを含むPMOS ICへの応用は自明であろう。

【0110】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0111】

【発明の効果】以上説明したように、中性イオンにより非晶質化した層内に不純物をイオン注入することにより、不純物の増速拡散を抑制することができる。浅い接合の形成が可能となる。

02をマスクとして熱酸化を行い、厚さ約400nmのフィールド酸化膜206を形成する。また、この熱酸化工程において、イオン注入層205中のBが拡散、活性化し、p型ウェル110より高濃度のチャンネルストップ層207を形成する。この後、熱酸化工程でマスクとして使用したSiN_x膜202および、その下のSiO₂膜201をウェットエッチングで除去する。その後、基板全面を再び熱酸化することにより、厚さ9.5nmのSiO₂膜208を形成する。

【0084】次に、図14(I)に示すように、イオン加速電圧15KeV、ドーズ量 $1.5 \times 10^{12} \text{ ions/cm}^2$ の条件でB⁺イオン301のイオン注入を行う。このイオン注入層302は、デバイス上でMOSトランジスタの閾値電圧制御用として機能することとなる。

【0085】図14(J)に示すように、基板表面全域に多結晶Si膜303を減圧CVD法で厚さ約150nm形成し、この多結晶Si膜303中にP(燐)を高濃度でドーピングする。さらに、図14(K)に示すように、多結晶Si膜303上に厚み約150nmのWSi膜304をスパッタリングで形成する。このような、多結晶Si膜上に金属シリサイド膜を連続的に重ねた構造は、一般にポリサイド構造と呼ばれる。

【0086】WSi膜上にレジストを塗布し、露光、現像によりゲート電極パターンのレジストマスクを得る。このレジストマスクをエッチングマスクとして、ポリサイド層303、304を選択的にエッチングする。エッチング後レジスト膜は除去する。残ったポリサイド層は、図14(L)に示すように、フィールド酸化膜で面

【0087】ゲート電極305、フィールド酸化膜206をイオン注入マスクとして、基板全面に加速電圧80KeV、ドーズ量 $4.0 \times 10^{13} \text{ ions/cm}^2$ 、注入角度45度の条件でP⁺イオン401のイオン注入を行う。図15(M)に示すように、p型ウェル110、n型ウェル111のそれぞれの極浅い領域にイオン注入層402、および403が形成される。

【0088】図15(N)に示すように、基板全面にレジスト膜を形成し、露光、現像によりp型ウェル110を覆うイオン注入マスク404を形成する。このレジストマスク404をマスクとして、加速電圧65KeV、ドーズ量 $2.5 \times 10^{14} \text{ ions/cm}^2$ の条件でBF₂⁺イオン405のイオン注入を行う。n型ウェルの極浅い領域にBF₂⁺イオン注入層406が形成される。BF₂⁺の注入領域406では、B濃度の方がP濃度より高くなり、補償の結果p型となる。

【0089】次にBF₂を活性化する為にRTA装置を用いて、1100℃まで10秒で昇温し、10秒間この温度に保持する。各p型ウェル、n型ウェルに形成したイオン注入層402、406は、LDD(Lightly dope

d drain)領域を形成する。

【0090】図15(O)に示すように、TEOS(テトラエトキシシラン)を用いた減圧CVD法にて、厚み約200nmのSiO₂膜407を基板全面に形成する。その後、RIE(reactive ion etching)を用いて、図15(P)に示すように、ゲート電極305の側壁のみにSiO₂領域408を残す。このSiO₂領域408は、一般にサイドスペーサもしくはサイドウォールオキサイドと呼ばれる。

【0091】次に説明するpチャンネルトランジスタ、nチャンネルトランジスタのソース/ドレイン領域を形成する工程が、本実施例の最大の特徴である浅い接合を形成する工程である。

【0092】まず、図16(Q)に示すように、フィールド酸化膜206とゲート電極305およびそのサイドスペーサ411をイオン注入マスクとして、導電性に寄与しないSi⁺イオン501のイオン注入を行う。この工程は、不純物イオン注入領域を非晶質化する為に行われる。例えば、加速電圧60KeV、ドーズ量 $1.0 \times 10^{15} \text{ ions/cm}^2$ 、注入角度7度のイオン注入条件を用いると、表面から0.11μmの深さの、非晶質イオン注入層502、503を得ることができる。

【0093】次に、図16(R)に示すように、基板全面にレジストを塗布した後、露光、現像により、p型ウェル110を覆うレジストマスク504を形成する。このレジストマスク504をイオン注入マスクとし、導電性を付与するイオンであるBF₂⁺イオン505のイオン注入を行う。

【0094】イオン加速電圧30KeV、ドーズ量 $2.0 \times 10^{15} \text{ ions/cm}^2$ 、注入角度7度のイオン注入条件をもちいると、約0.1μmの深さのイオン注入層506が形成される。このイオン注入層506は先に形成した非晶質イオン注入層502より浅く形成されている。

【0095】ここでは、注入角度7度でイオン注入したが、基板表面を非晶質化してチャネリングの発生を抑制しているので注入角度を0度としても良い。ゲート電極下の不純物横方向の拡がりを抑制する為には、注入角度0度でイオン注入することが好ましい。なお、図面中、重複するイオン注入領域については、図示を省略している。その後レジストマスク504を除去する。

【0096】続いて、図16(S)に示すように、基板全面にレジスト膜を形成し、露光、現像によりn型ウェル111を覆うレジストマスク507を形成する。このレジストマスク507をイオン注入マスクとして、導電性を付与するイオンであるP⁺イオン508のイオン注入を行う。イオン加速電圧10KeV、ドーズ量 $1.0 \times 10^{15} \text{ ions/cm}^2$ のイオン注入条件をもちいると、約0.1μmの深さのイオン注入層509が形成される。イオン注入層509は先に形成した非晶質層50

℃でアニールした接合の断面TEM写真を示す。非晶質層は再結晶化されており、ヘアピンディスロケーションは観察されない。しかし、もともとのa/c界面付近には、積層欠陥が発生し、写真中に細い帯状の線として観察される。勿論、さらに良好な電気特性を得る為には、これらの積層欠陥も消滅させることが望まれる。

【0069】850℃でアニールを行った接合にさらに2回目のアニールを試みた。1050℃で2回目のアニールを行った接合、および1100℃で2回目のアニールを行った接合の断面TEM写真を図11(C)、図11(D)にそれぞれ示した。ヘアピンディスロケーションは、発生していないうえに、850℃で第1回目のアニールを行った直後の接合と比較し、積層欠陥がかなり消滅していることがわかる。1100℃の2回目のアニールを行った接合では、欠陥数がかなり消滅し、ほぼ均一な断面が得られた。

【0070】尚、1000℃で1回のアニールを行った場合の接合の断面TEM写真を図11(E)に示した。ヘアピンディスロケーションが発生しているとともに、積層欠陥は、850℃でアニールした接合に較べて、むしろ多く残留しているようであった。

【0071】このように、従来方法で作成した接合では、ヘアピンディスロケーションや、積層欠陥等が再結晶層に残留している。上述の実施例による形成工程を用いた場合においても、850℃10秒のアニールでは、積層欠陥が存在している。しかし、ヘアピンディスロケーションを生じさせなかった場合には、さらに熱処理を行うことで一旦発生した積層欠陥を減少させることができる。

【0072】以上の結果から、まずヘアピンディスロケーションが発生しない温度でイオン注入層を再結晶化し、かつ不純物を活性化し、次に、好ましくは再結晶化アニール温度より高い温度でアニールを行い結晶欠陥を減少させる二段階アニールが結晶層中の各種欠陥をなるべく発生させず、一回発生した欠陥はなるべく消滅させる為に極めて効果的であるといえる。

【0073】6)トランジスタ素子作成例

上述の検討結果を参考にした、CMOS半導体装置の作成工程を以下に説明する。

【0074】Bが $3 \times 10^{15} \text{ atoms/cm}^3$ ドープされたp型の面方位(100)のSi基板を準備する。図12(A)に示すように、熱酸化により基板101の表面に約30nmの厚みのSiO₂膜102を形成し、その上に、減圧CVD(化学気相堆積法)を用いて厚さ約140nmのSiN_x膜103を形成する。

【0075】図12(B)に示すように、SiN_x膜103上にレジストを塗布し、露光現像することによりレジストマスク104を形成する。このレジストマスク104をエッチングマスクとし、SF₆とHeの混合ガスをエッチングガスとしたドライエッチングを行い、Si

N_x膜を選択的にエッチングする。

【0076】レジストマスク104とその下のSiN_x膜103をマスクとして、イオン加速電圧100KeV、ドーズ量 $1.5 \times 10^{13} \text{ ions/cm}^2$ の条件でP⁺イオン105のイオン注入を行う。SiO₂膜102の下にPのイオン注入層106が形成される。その後レジストマスク104は除去する。

【0077】次に、図12(C)に示すように、酸化性雰囲気中で1100℃で200分の熱処理を行い、イオン注入層106を活性化させ、さらに不純物をドライブインさせ、n型ウェル107を形成する。また、この熱処理によりSiN_x膜103が被覆されていない基板表面は、熱酸化され、厚いLOCOS酸化膜102aが形成される。この後、SiN_x膜103膜をエッチング除去する。

【0078】イオン加速電圧30KeV、ドーズ量 $1.5 \times 10^{13} \text{ ions/cm}^2$ の条件で、B⁺イオン108のイオン注入を行う。このイオン注入条件は、P拡散層上の厚いLOCOS酸化膜102aをB⁺イオンが貫通しないように選択されている。薄い酸化膜102の下にのみBのイオン注入層109が形成される。

【0079】図12(D)に示すように、1150℃、240分の熱処理を行い、イオン注入層109を活性化し、さらに不純物をドライブインし、p型ウェル110を得る。この時n型ウェル107中のPもさらに熱拡散し、n型ウェル111を形成する。この後、基板表面のSiO₂膜102、102aをエッチング除去する。

【0080】図13(E)に示すように、あらためて熱酸化により基板表面に厚み15nm程度のSiO₂膜201を形成し、その上に減圧CVD法で、140nm程度の厚みのSiN_x膜202を形成する。尚、図示しないが、p型ウェル110とn型ウェル111との境界上には、p型ウェル110形成時のイオン注入マスクに用いたLOCOS酸化膜102の痕跡である段差が存在する。

【0081】図13(F)に示すように、SiN_x膜202の表面にレジストを塗布し、露光、現像により、活性領域を覆うレジストマスク203を形成する。レジストマスク203をマスクにし、SiN_x膜202を選択エッチングする。

【0082】図13(G)に示すように、レジストマスク203とその下のSiN_x膜202をイオン注入マスクにして、イオン加速電圧30KeV、ドーズ量 $4.5 \times 10^{12} \text{ ions/cm}^2$ の条件でB⁺イオン204のイオン注入を行う。注入されたBは露出している酸化膜膜を貫通し、各ウェル層内の浅い表面領域に注入される。p型ウェル110に注入されたBは、イオン注入層205を形成する。この後、イオン注入用マスクに用いたレジストマスク203を除去する。

【0083】図13(H)に示すように、SiN_x膜2

0.14 ions/cm^2 、イオン注入角7度の条件で Si^- を基板面にイオン注入し基板表面層を非晶質化した。

【0055】続いて、イオン加速電圧が20 KeV、イオンドーズ量が $1 \times 10^{15} \text{ ions/cm}^2$ 、イオン注入角7度の条件で、導電性を付与する P^+ イオンをP濃度分布が非晶質層内に収まるようにイオン注入した。この後、RTA装置を用いて、 N_2 雰囲気中で、10秒で850度まで昇温し、そのまま10秒保持する条件でアニールを行った。この導電性付与不純物のイオン注入およびその後のアニールの条件は図4の場合と同様である。

【0056】図8は、このようにして作成した接合の不純物分布を、SIMS（2次イオン質量分析法）を用いて解析した結果を示す。図8中 γ は、 P^+ イオン注入直後のP（磷）の分布、 δ は、アニール後のPの分布をそれぞれ示す。図に示すように、アニールの前後で不純物の分布はほとんど変わらなかった。即ち、増速拡散は実質的に生じていない。

【0057】従来の方法で形成した接合の不純物イオン分布を示す図4と比較して明らかなように、本実施例の接合形成方法は、増速拡散を極めて効果的に抑制できることがわかる。

【0058】増速拡散は、主にアニール中に結晶層で起こる過剰空格子の拡散が、結晶層中の不純物原子の拡散を増速させるものと考えられる。上述の実験結果から、結晶層に不純物原子が存在しないと、過剰空格子が結晶層に拡散しても増速拡散する対象を持たない為、増速拡散も起こらないものと解釈される。

【0059】アニール中に不純物原子が拡散してa/c界面を越える場合にも、不純物がa/c界面に達するまえに非晶質層が再結晶化すれば、目立った増速拡散は起こらないものと考えられる。

【0060】このように、導電性付与不純物の分布が非晶質内に留まるように不純物をイオン注入すれば、増速拡散は、実質的に抑制できる。但し、アニールによって非晶質層を再結晶化した時発生する積層欠陥は、pn接合の外側に位置することとなる。

【0061】積層欠陥等の格子欠陥の影響を低減する為には、不純物イオン注入工程では、不純物イオン注入深さをa/c界面より浅く調整し、その後のアニール工程で、非晶質層を再結晶化するとともに、不純物を活性化し、さらにその後の熱拡散により不純物の分布深さをa/c界面より深くすればよい。a/c界面に結晶欠陥が残留していても高不純物濃度層に取り込まれ電気特性に与える影響を抑制する。なお、アニール条件については、後述するように、より適切な条件の検討を別に行った。

【0062】5)接合部の欠陥発生を抑制するアニール条件

上述の予備実験による接合形成工程における、導電性に

寄与しないイオンおよび導電性を付与する不純物のイオン注入工程後、種々のアニール条件で接合を形成し、電気特性、欠陥の発生と残留状態とを調べ、その結果より最適なアニール条件を求めた。

【0063】実験に採用したイオン注入工程の条件は、次の通りである。非晶質化の為のイオン注入工程では、イオン加速電圧60 KeV、ドーズ量 $1 \times 10^{15} \text{ ions/cm}^2$ 、イオン注入角度7度の条件で Si^- イオン注入を行った。導電性を付与する不純物のイオン注入工程では、イオン加速電圧10 KeV、ドーズ量 $1 \times 10^{15} \text{ ions/cm}^2$ 、イオン注入角度7度の条件で P^+ イオン注入を行った。イオン注入後、基板をアニールした。いずれのアニール工程も、 N_2 雰囲気中でRTA装置を使用し、所定温度に10秒で昇温し、所定温度を10秒保持する条件で行った。

【0064】まず、アニール温度と接合部の抵抗の関係を調べた。その結果を図9に示す。横軸はアニール温度、縦軸は接合部のシート抵抗を示す。約600℃のアニール温度を境として高温側で接合部のシート抵抗は、大きく低下した後、900℃付近まではあまり変化しなかった。アニール温度約600℃の条件は、イオン注入層を再結晶化し、イオン注入された不純物を活性化するのに必要な温度に対応しているものと思われる。この結果から、600℃以上のアニール温度が必要であると言える。

【0065】次に、ヘアピンディスロケーションとアニール温度の関係について調べた。その結果を図10に示す。横軸はアニール温度、縦軸は $1 \phi \mu\text{m}$ （直径 $1 \mu\text{m}$ の円形領域）当たりのヘアピンディスロケーションの数を示す。アニール温度が850℃を越えるあたりからヘアピンディスロケーションは発生し、900℃以上の温度では、急激にその数が増大した。アニール温度が高くなると、非晶質体が再結晶化する再結晶化速度にばらつきが生じやすく、これがヘアピンディスロケーションを発生させていると思われる。ヘアピンディスロケーションの発生を抑制する為には、850℃以下の温度でアニールすることが望ましいことがわかる。

【0066】上記2つの結果から、非晶質層を再結晶化し、かつ不純物を活性化し、さらにヘアピンディスロケーションの発生を抑えるアニール温度は、600～850℃の範囲であるといえる。

【0067】図11は、アニールによる再結晶化の様子を示すTEM写真である。図11(A)は、導電性に寄与しない Si^- イオンの注入を行い基板表面層を非晶質化した後、導電性を付与する P^+ イオンを注入した直後、即ちアニール前の接合の断面TEM写真である。イオン注入により形成された非晶質層とともとの基板の結晶部分とを分けるa/c界面がはっきりと観察される。

【0068】図11(B)に、上述の条件に従い850

とが望まれる。

【0039】4)増速拡散を抑制する新規な形成方法

増速拡散は、イオン注入により形成した非晶質層に存在する過剰空格子が原因で起こると考えられる。過剰空格子の濃度勾配が存在する基板に熱処理を行うと、濃度の高い所から低い所に向かって過剰空格子の拡散が発生する。非晶質層内では、結晶格子自体が乱れており空格子は問題とならないが、 a/c 界面を経て過剰空格子が存在しない結晶層に入った過剰空格子は、結晶層の深さ方向すなわち濃度勾配方向に拡散するものと考えられる。

【0040】この時不純物原子が同じ領域に存在し、同方向へ拡散をしていると、不純物原子は過剰空格子の拡散の影響を受け、通常の拡散方程式により導かれる拡散速度より速い速度で拡散するものと考えられる。このように不純物拡散が過剰空格子の拡散によって加速され、「増速拡散」が生じると考えられる。

【0041】増速拡散を抑制する為の新規なプロセスを以下に提案する。新規なプロセスは、図1で示す3工程を含む。なお、図1は図3と同様、不純物添加領域のみを取り出して、その断面図を示したものである。

【0042】図1(A)に示すように、導電性に寄与しないイオン2を基板1に対しイオン注入し、基板表面より一定の深さの非晶質層3を形成する。非晶質層3と基板1との境界に a/c 界面4が形成される。

【0043】図1(B)に示すように所望の導電性を付与するイオン(不純物イオン)5を注入する。この時の注入不純物の濃度が母体結晶の反対の導電型の不純物濃度と同じになる位置がpn接合7の位置に対応する。表面からこの位置までの深さを不純物の分布深さD1とする。この分布深さD1が、 a/c 界面4より浅くなるように、イオン注入条件を選択する。

【0044】図6(A)に、予想されるイオン注入直後の不純物濃度の深さ方向分布を示す。横軸は基板表面からの深さ、縦軸は不純物濃度を示している。不純物濃度は、深さ方向に均一なものではなく、山型の分布を示す。不純物濃度が基板の不純物濃度C0と同じレベルになる深さD1は、 a/c 界面深さDa/cより浅く位置する。

【0045】図1(C)に示すように、基板を加熱して熱処理により非晶質層を再結晶化するとともに、不純物を活性化し、さらに熱拡散により不純物拡散層8を形成する。尚、不純物分布深さD3を a/c 界面4より深くする。

【0046】図6(B)は、アニール後に予想される不純物濃度の深さ方向分布を示す。アニール後、不純物濃度が注入部周囲の基板の不純物濃度レベルC0と同じレベルになる深さD3は、 a/c 界面深さDa/cより深い。

【0047】上述の接合形成方法では、導電性付与不純物のイオン注入工程において、不純物濃度分布深さD1

を a/c 界面より浅くする点が特に重要である。この為、不純物のイオン注入直後において、不純物は非晶質層内にしか存在せず、その下の結晶層には実質的に存在しない。

【0048】上記の接合形成方法においては、イオン注入による注入深さの制御が必要となる。具体的にどのような注入条件を用いるとどの程度の深さまで非晶質層を形成できるか、もしくはイオン注入できるか(飛程)を知る必要がある。イオン注入条件の決定に参考となるデータを次に示す。

【0049】図7は、 Si^{+} イオンを注入する際のイオンドーズ量(注入量)と非晶質層の範囲(a/c 界面深さ)の関係をイオン加速電圧をパラメータに取って示したグラフである。横軸はイオンドーズ量、縦軸は基板表面からの深さを示す。

【0050】イオン加速電圧の増加、イオンドーズ量の増加に伴って a/c 界面の位置は深くなるが、イオン加速電圧がある一定値を越えると非晶質層は、基板表面からではなく、基板表面から少し入った位置から形成される。この時、表面層には、結晶層が残ることとなる。図7中、実線で示されているのは、バルク側の a/c 界面の位置、破線で示したのは表面側の a/c 界面の位置である。

【0051】例えば、イオン加速電圧90KeVの場合、ドーズ量が $5 \times 10^{14} \text{ ions/cm}^2$ の時、非晶質化される領域は基板表面から1500Åにかけての領域である。イオン加速エネルギーが120KeVの場合、ドーズ量が $5 \times 10^{14} \text{ ions/cm}^2$ の時、基板表面から約500Åの深さより1900Åにかけての領域が非晶質化されることとなる。

【0052】0.15μm程度の浅い接合を形成しようとする場合、導電性に寄与しないイオンのイオン注入で形成する非晶質層の深さは、最終的な接合の深さより浅くする必要がある。図7に示すデータから、この条件を満たすのは、例えばイオン加速電圧90KeVでは、ドーズ量が $5 \times 10^{14} \text{ ions/cm}^2$ 以下でなくてはならない。又、イオン加速電圧が60KeVであれば、ドーズ量が $1 \times 10^{16} \text{ ions/cm}^2$ でもこの条件を満たす。

【0053】図7に示したデータは、 Si^{-} イオンについてのものだが、一般にSiよりも重いイオンであれば、注入時の進入深さはSiより浅く、Siより軽いイオンであれば深いことが予想される。導電性付与不純物のイオン注入深さは、当分野でよく知られており、測定することも比較的容易である。不純物のイオン注入深さが a/c 界面より浅くなるようにイオン注入条件を選ぶ。

【0054】以上のデータを参考に、実際に接合を形成した。具体的に用いた形成条件は次の通りである。まず、イオン加速電圧90KeV、イオンドーズ量 5×1

る。結晶基板にイオン注入を行うと、一部の注入イオンは基板原子と大きな衝突をすることなくチャンネルとよばれる結晶格子の隙間を通して基板に深く進入してしまう。このような現象をチャネリングと呼ぶ。浅い接合を形成する為には、チャネリングの発生を抑制することが有効である。

【0027】チャネリングを抑制する方法としては、イオン半径の大きいイオンの選択や、表面を非晶質化するブリイオン注入等が試みられている。注入イオンの径が大きくなると結晶の隙間を通り抜けにくい為、イオン半径の大きい注入イオンの選択はチャネリングを抑制する。また、半径の大きい（質量の大きい）粒子は、同一加速電圧でのイオン注入深さを浅くする効果も有する。

【0028】また、ブリイオン注入で、基板表面を予め非晶質化すると、非晶質化された領域には、そもそもチャネリングが発生する結晶格子の隙間が存在しなくなる。この為、非晶質層にイオン注入された不純物はチャネリングを起こしにくい。なお、ブリイオン注入に用いられるイオン種としては、導電性を付与する不純物、導電性に寄与しない中性不純物のいずれも用いられている。

【0029】接合のシャロー化は、同時に良好な電気特性を兼ね添えるものでなければ実用に値しない。イオン注入で接合を形成する場合、イオン注入時に形成された非晶質層とものの結晶状態が残っている結晶層の界面（a/c界面）には、アニール時に結晶欠陥が発生してしまうことが多い。良好な電気特性を得る為には、この欠陥が電気特性に与える影響を取り除くことが好ましい。従来は、例えば、高不純物濃度領域の深さをa/c界面より深くすること等でその影響を抑制していた。

【0030】このような従来技術による接合の形成方法の一例を図3を参照して説明する。なお、接合の形成工程を理解し易いように、図3には、図2の不純物ドープ領域17a、17bに対応する部分のみを示した。

【0031】図3（A）で示すようにSi基板1の表面層に導電型に寄与しないイオン2、例えば基板構成元素と同じSi⁺イオンを注入するブリイオン注入を行う。この工程により、基板表面より一定の深さまでが非晶質層3となり、基板結晶との境界にa/c界面4が形成される。なお、非晶質層が再結晶された場合にも、a/c界面のあった位置をa/c界面と呼ぶ。

【0032】図3（B）に示すように、所望の導電性を付与するイオン（不純物）5をイオン注入し、イオン注入層6を形成する。非晶質層へのイオン注入は、チャネリングを生じない。この工程によるイオン注入層の底面7は、a/c界面4より深く設定し、欠陥が発生し易いa/c界面を高不純物濃度領域内に含めてしまう。

【0033】図3（C）に示すように加熱処理により、非晶質のイオン注入層6を再結晶化し、イオン注入された不純物を活性化させ不純物拡散層8を形成する。一般

的には800℃から1000℃の温度範囲で基板加熱処理を行う。a/c界面には、欠陥が発生し易いが、これらの欠陥は、高不純物濃度領域中に存在している為、電気特性に与える影響は抑制される。

【0034】3)従来方法で形成された接合部の問題点

上述の従来の接合形成方法に従って、実際にnチャンネルトランジスタのソース/ドレイン領域を作成した。具体的に使用した条件は、以下の通りである。まず、Si⁺イオンを加速電圧30KeV、ドーズ量 5.0×10^{14} ions/cm²、注入角度7度の条件で、Si基板に注入し、非晶質層を形成した。次に、不純物イオンであるP（燐）⁺イオンを加速電圧20KeV、ドーズ量 1.0×10^{16} ions/cm²、注入角度7度の条件で非晶質化した基板表面に注入した。最後に、RTA（rapid thermal annealing）装置を用い、基板をN₂雰囲気中で10秒で850℃まで昇温し、850℃で10秒間保持する条件でアニールを行った。

【0035】作成した接合の深さを確認する為、SIMS（2次イオン質量分析法）を用いて深さ方向の不純物の分布を測定した。結果を図4に示す。横軸に基板表面からの深さ、縦軸にP（燐）濃度を示した。図4中αはP⁺イオン注入直後のP分布、βはアニール後のP分布をそれぞれ示す。Si⁺のイオン注入で形成されたa/c界面は深さは、約0.065μmである。P⁺イオン注入直後の曲線αにおいては、チャネリングが抑制され、基板表面から0.1μm程度の深さまでしかPは分布していない。アニール後、P濃度はa/c界面を境に結晶質領域で大きく膨らんでおり、その分布深さは、通常の熱拡散から予想される深さを越え、基板表面から0.2μm近くまで広がっていた。

【0036】アニール工程での不純物の深い拡散は、通常の熱拡散で説明されるものではなく、「増速拡散」が起こっている為と予想される。従来、チャネリングを抑制する為に、種々の検討が行われてきていたが、「増速拡散」を抑制する方法は知られていない。しかし、「増速拡散」を抑制できれば、不純物分布の制御がより容易となると共に、より浅い接合の形成が可能となる。

【0037】図5は、従来方法で非晶質層を再結晶化した基板の断面のTEM写真を示す。a/c界面より表面側にヘアピンディスロケーションと呼ばれるヘアピン状ないしは松葉状の亀裂欠陥の発生が観察された。この写真では、2カ所にヘアピンディスロケーションが観察され、a/c界面には、積層欠陥と思われる影が存在する。これらの欠陥は、高不純物濃度層中に存在すれば、電気特性への影響はある程度抑制されるが、より良好な電気特性を得る為には欠陥が存在しないことが望ましい。

【0038】即ち、良好な電気特性の接合の形成の為には、従来方法で再結晶層中ないしa/c界面に発生する各種欠陥の発生を防止し、発生した欠陥は減少させるこ

【0010】本発明の目的は、良好な電気特性を備えた接合を制御性よく形成する半導体装置の製造方法を提供することである。本発明の他の目的は、電気的特性に優れた浅い接合を形成する半導体装置の製造方法を提供することである。

【0011】

【課題を解決するための手段】本発明の半導体装置の製造方法は、導電性に寄与しないイオン種を第1導電型の結晶領域に対しイオン注入し、該結晶領域の表面から一定の深さまでの非晶質層を形成する第1の工程と、前記第1の導電型と逆の第2の導電型の導電性を付与する不純物を、前記非晶質層内にその不純物分布が留まるようにイオン注入する第2の工程と、該結晶領域を加熱して不純物を活性化し、前記非晶質層の領域内に第2導電型領域を形成する第3の工程とを有する。

【0012】さらに、結晶領域を加熱して不純物を拡散させ、第2導電型領域の接合をa/c界面より深くしてもよい。また、600～850℃の温度で不純物活性化の熱処理を行い、より高い温度で積層欠陥低減の熱処理を行うことができる。

【0013】尚、該不純物の活性化の為の熱処理前に層間絶縁膜を形成することもできる。

【0014】

【作用】非晶質層内に不純物をイオン注入する為、不純物のチャネリングを抑えることができる。

【0015】非晶質層を貫通して深く不純物をイオン注入すると、活性化アニールの際、増速拡散が生じてしまう。a/c界面を越えて結晶層中へ拡散する空格子が、不純物の拡散速度を増速させるものと考えられる。不純物イオン注入工程直後の不純物分布が、非晶質層内に留まるように不純物をイオン注入すると、不純物の増速拡散を抑制できることがわかった。

【0016】活性化後、さらに不純物を拡散させ、a/c界面を高濃度不純物領域内に包含するようにすると、a/c界面に欠陥が発生しても電気特性に与える影響を抑制することができる。

【0017】まず600℃～850℃の低温領域で熱処理を行うと、ヘアピンディスロケーションの発生を抑制しつつ、再結晶化を行うことができる。さらに、高い温度の熱処理をこの後に行くと、a/c界面に発生する積層欠陥も減らすことができる。

【0018】不純物の活性化を目的とする熱処理を施す前に層間絶縁膜を形成しておく、該熱処理によって層間絶縁膜の膜質をも改善できる。

【0019】

【実施例】

1)接合部のシャロー化

半導体装置の高集積化に伴い、横方向の微細化とともに浅い接合の形成に対する要請が高まっている。例えば、0.5μmルール以下（ゲート長が0.5μm以下）の

トランジスタを形成するには、0.1～0.2μmの接合深さを持つソース/ドレイン層が必要だといわれている。この為、高精度の不純物添加技術が望まれている。

【0020】CMOS (complementary metal-oxide-semiconductor) 半導体装置における接合の位置について図を用いて説明する。図2は、CMOS半導体装置のnチャンネルトランジスタ部分のみを取り出した構造の一例を示す断面図である。

【0021】図2に示すように、基板11の表面層には所定の深さのp型ウェル1が形成されp型ウェル1の両側の基板表面には、LOCOS (局部シリコン酸化: local oxidation of silicon) 工程により得られた厚いフィールド酸化膜12a、12bが形成されている。厚い酸化膜12aと12bの間の活性領域表面上に、薄いゲート酸化膜13を挟みP (燐) を高濃度にドーブした多結晶シリコン膜14とその上のWSi膜15で形成されるポリサイド構造のゲート電極が形成されている。ゲート電極の両側面は、SiO₂のサイドスペーサ16により覆われている。

【0022】ゲート電極とフィールド酸化膜12a、12bの間の基板表面層の浅い部分には、n型不純物が高濃度にドーブされた不純物拡散層17a、17bが形成されている。不純物拡散層17a、17bは、それぞれnチャンネルトランジスタのソース/ドレイン領域として機能する。このn型不純物拡散領域17a、17bとp型ウェルの境界にpn接合が形成されている。「接合の深さ」は、一般に表面からの不純物分布幅によって決まる。

【0023】ゲート長の短いMOSトランジスタのソース/ドレイン領域が深いと、チャンネル領域の深い部分にもパンチスルーによってキャリアが注入され、ゲート電圧で制御することが難しくなる。

【0024】尚、図2に示すように、以上に説明したフィールド酸化膜12a、12bおよびゲート電極を覆うように層間絶縁膜18が形成され、層間絶縁膜18中の開口を介してソース/ドレイン領域17a、17bに配線層19が接続され、基板全面を覆ってパッシベーション膜20が形成されている。

【0025】2)従来の接合形成方法

イオン注入を用いて接合を形成するには、不純物イオンを注入する工程と、注入した不純物を活性化する為のアニール工程とが必要である。浅い接合を形成する為には、イオン注入の加速電圧の低減、イオン注入角度の傾斜化等によりイオン注入の深さを浅くする方法や、アニール工程の熱処理温度の低温化によって熱拡散を抑制する方法がある。しかし、これらの方法には実用上限界があり、シャロー化の要請に十分答え得るものではなかった。

【0026】そこで現在、チャネリングの抑制によるシャロー化（接合深さを浅くすること）が試みられてい

【特許請求の範囲】

【請求項1】 導電性に寄与しないイオン種を第1導電型の結晶領域に対しイオン注入し、該結晶領域の表面から一定の深さまでの非晶質層を形成する第1の工程と、前記第1の導電型と逆の第2の導電型の導電性を付与する不純物を、前記非晶質層内にその不純物分布が留まるようにイオン注入する第2の工程と、
該結晶領域を加熱して不純物を活性化し、前記非晶質層の領域内に第2導電型領域を形成する第3の工程と、
を有する半導体装置の製造方法。

【請求項2】 さらに、前記結晶領域を加熱して不純物を拡散させ、第2導電型領域の接合を前記非晶質層の深さより深くする第4の工程を有する請求項1に記載の半導体装置の製造方法。

【請求項3】 前記第3の工程の加熱温度が、600℃以上である請求項1ないし2に記載の半導体装置の製造方法。

【請求項4】 前記第3の工程の加熱温度が、600℃以上850℃以下の温度範囲内である請求項3に記載の半導体装置の製造方法。

【請求項5】 前記第4の工程の加熱温度が、前記第3の工程の加熱温度以上の温度である請求項1から4のいずれかに記載の半導体装置の製造方法。

【請求項6】 さらに、第3の工程と第4の工程の間に、前記結晶領域全面に層間絶縁膜を形成する工程を有する請求項1から5のいずれかに記載の半導体装置の製造方法。

【請求項7】 さらに、第2の工程と第3の工程の間に、前記結晶領域全面に層間絶縁膜を形成する工程を有する請求項1から5のいずれかに記載の半導体装置の製造方法。

【請求項8】 表面から一定の深さまでの非晶質層を有するSi結晶体に対し少なくとも導電性を付与する不純物をイオン注入する工程と、
Si結晶体を600～850℃の温度に加熱し、前記非晶質層の結晶体との界面に積層欠陥を残しつつ前記非晶質層を結晶化させ、かつ前記不純物を活性化する工程と、
該Si結晶体をさらに高温に加熱し、積層欠陥を減少させる工程とを有する半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、イオン注入法を用いて基板に所望の導電型の不純物拡散層を形成する半導体製造装置の製造方法に関する。

【0002】

【従来の技術】 半導体装置の高集積化に伴い、横方向の微細化に合わせて深さ方向の微細化の要請も高まっている。pチャンネルトランジスタ、あるいはnチャンネルトランジスタのソース／ドレイン層についてもより浅い

接合の形成技術の開発が必要である。

【0003】 トランジスタのソース／ドレイン領域は、一般にイオン注入法により形成される。イオン注入法は、所望の導電型の不純物を基板にイオン注入する工程と、その後、熱アニールを行い、イオン注入で非晶質化した層を再結晶化させ、イオン注入した不純物を電氣的に活性化させる工程を含む。

【0004】 最近、浅い接合の形成の為、チャネリングを抑制する方法が検討されている。チャネリングとは、イオン注入の際、注入イオンが基板原子と大きな衝突をすることなく基板結晶格子の隙間を通り基板に深く進入することである。チャネリングが起これば浅い接合を形成することが難しくなる。

【0005】 チャネリングを抑制する為には、例えば、イオン注入を2段階で行う方法が検討されている。1回目のイオン注入で基板表面を非晶質化した後、2回目のイオン注入で所望の導電性に達するようにイオン注入を行う。非晶質層にイオンを注入する場合、注入イオンのチャネリングは起こらない。この為、2回目のイオン注入時のチャネリングを抑制できる。

【0006】 一方、浅い接合は、接合の浅さのみならず、低いコンタクト抵抗、低いリーク電流といった良好な電気特性をあわせ持つことが要求される。例えば、非晶質層と基板の結晶層との境界（以下、a/c界面と呼ぶ。）は、アニール後も完全には再結晶化はされず結晶欠陥が集積し易い。特に、空乏層内の結晶欠陥は、接合部の電氣的リークを引き起こす等、電気特性に影響を及ぼす。そこで、これらの結晶欠陥が接合近傍や低不純物濃度領域に形成されないよう欠陥が発生する位置を高濃度不純物拡散領域内に収める方法等が検討されている。

【0007】

【発明が解決しようとする課題】 チャネリングは、予め基板表面層を非晶質化する方法を用いることで抑制することができる。しかし、非晶質層は再結晶化させる必要があり、再結晶化のアニール工程で別の問題が発生する。

【0008】 従来の方法で作成した接合部の不純物分布を解析した結果、チャネリングとは異なる「増速拡散」という現象がアニール時に起こっていることが観察された。「増速拡散」とは、不純物がいわゆる拡散方程式に従った拡散より速く拡散してしまう現象である。非晶質層に存在する過剰空格子の結晶中への熱拡散が、不純物の拡散を増速させるためと考えられている。結果的に不純物分布の制御が難しくなる。また、深い不純物分布を形成してしまい易い。接合形状を正確に制御する為には、増速拡散の発生を抑制する必要がある。

【0009】 さらに、良好な電気特性を得る為には、a/c界面等に発生する積層欠陥や、再結晶層に発生するヘアピンディスロケーション等の欠陥を減らすことが望まれる。

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 1 4 8 4 2 4

(43) 公開日 平成8年(1996)6月7日

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H O 1 L 21/20
21/265
21/266

H O 1 L 21/265

F

M

審査請求 未請求 請求項の数 8

O L

(全 1 6 頁) 最終頁に続く

(21) 出願番号

特願平6-285634

(22) 出願日

平成6年(1994)11月18日

(71) 出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72) 発明者 結城 知弘

静岡県浜松市中沢町10番1号 ヤマハ株式会社内

(74) 代理人 弁理士 高橋 敬四郎 (外1名)

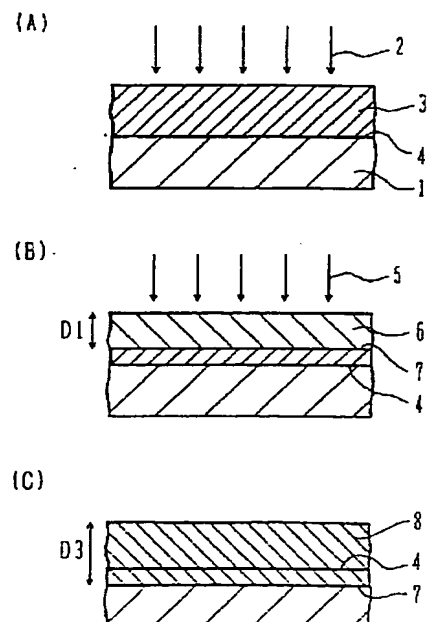
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 本発明は、良好な電気特性を備えた接合を制御性よく形成することを目的とする。

【構成】 接合形成に際して、導電性に寄与しないイオンを基板に対しイオン注入し、基板の表面から一定の深さまで非晶質化した後、不純物イオンを非晶質層内に留まるようにイオン注入を行う。また、不純物イオンの注入後、結晶性回復と不純物活性化の為の低温熱処理とドライブインと結晶欠陥減少の為の高温熱処理の2段階でアニールを行う。

接合形成工程





PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08148424 A**(43) Date of publication of application: **07.06.96**

(51) Int. Cl.

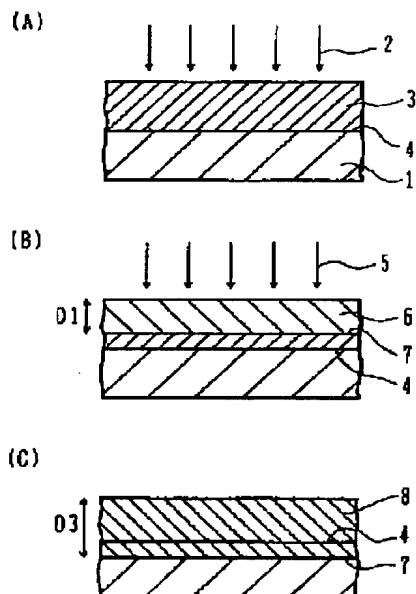
H01L 21/20**H01L 21/265****H01L 21/266****H01L 21/324****H01L 21/8238****H01L 27/092**(21) Application number: **06285634**(71) Applicant: **YAMAHA CORP**(22) Date of filing: **18.11.94**(72) Inventor: **YUKI TOMOHIRO**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1996,JPO

(57) Abstract:

PURPOSE: To form a junction having excellent electric characteristics with high controllability by ion implanting so that impurity distribution is retained in an amorphous layer, and heating a crystalline region to activate the impurity to form a second conductivity type region in the amorphous layer region.

CONSTITUTION: Ions (impurity ions) 5 for imparting desired conductivity are implanted. The position where the concentration of the implanted impurity at this time becomes the same as the impurity concentration of the opposite conductivity type of a matrix crystal corresponds to the position of a p-n junction 7. The depth from the surface to this position is the distribution depth D_a of the impurity. The ion implanting conditions are so selected that the depth D_1 is shallower than the boundary 4 of the crystalline layer. Thus, the impurity is existed only in the amorphous layer immediately after the impurity ions are implanted, and is not substantially existed in the crystalline layer thereunder.



This Page Blank (uspto)